

采用 DWA 技术的多位 Σ - Δ 调制器的设计徐思龙^{1,2}, 李宗伟^{1,2}, 丛 宁^{1,2}

(1 中国科学院 地质与地球物理研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

摘 要: 设计一个内部采用 2 位量化器的二阶单环 Σ - Δ 调制器. 为解决反馈回路中多位 DAC 元件失配导致的信号谐波失真问题, 该调制器采用了数据加权平均 (Data Weighted Averaging, DWA) 技术来提高多位 DAC 的线性度. Σ - Δ 调制器信号带宽为 50 kHz, 过采样率 (OSR) 为 64, 采用 MXIC 公司的 0.35 μm 混合信号 CMOS 工艺实现, 工作电压为 12 V. 后仿真结果显示, 在电容随机失配 5% 的情况下, 该调制器可以达到 55.8 dB 的信噪比 (SNR) 和 60.4 dB 的无杂散动态范围 (SFDR). 打开 DWA 电路比关闭 DWA 电路的情况下, SNR 和 SFDR 分别提高 8 dB 和 13 dB. 整个调制器功耗为 48 mW, 面积仅为 0.6 mm^2 .

关键词: Σ - Δ 调制器; 开关电容积分器; 多位量化器; DWA

中图分类号: TN79⁺2

文献标识码: A

文章编号: 1000-7180(2015)01-0140-06

Multibit Σ - Δ Modulator with Data Weighted Averaging TechniqueXU Si-long^{1,2}, LI Zong-wei^{1,2}, CONG Ning^{1,2}

(1 Institute of Geology and Geophysics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A second order single-loop multibit Σ - Δ modulator was designed with a 2-bits quantizer inside, and it was used for digital audio application. The modulator used multibit quantization and the data weighted averaging (DWA) technique was adopted to reduce the nonlinearity introduced by multibit quantizer. The Σ - Δ modulator was fabricated in a MXIC's 0.35 μm mixed-signal CMOS process with 12 V supply voltage, and the input signal bandwidth was 50 kHz at oversampling rate (OSR) of 64. The post-simulation showed that the modulator can achieve 55.8 dB SNR and 60.4 dB SFDR with 5% capacitor mismatch. Contrast to close the DWA circuit, open the DWA circuit can increase 8 dB SNR and 13 dB SFDR. The whole modulator dissipates 48 mW, and the area of the modulator is just 0.6 mm^2 .

Key words: Σ - Δ modulator; switched-capacitor integrator; multibit quantizer; data weighted averaging

1 引言

模数转换器 (Analog to Digital Converter, ADC) 作为数模混合系统中最重要的部分, 在超大规模集成电路 (VLSI) 中发挥着越来越重要的作用. 相比于传统意义上的 ADC, Σ - Δ ADC 采用过采样和噪声整形技术来实现高分辨率, 在实际设计中对模拟电路的匹配性和线性度等要求都大为降低, 并且易于 CMOS 工艺条件实现. 这些特征使得 Σ - Δ ADC

在数字音频、语音数据处理、电子测量等领域得到广泛的应用^[1-3].

本文设计一个二阶多位量化的 Σ - Δ 调制器, 在占用极低的芯片面积的基础上, 实现中等程度的转换精度, 适用于中低端低成本的数字音频领域.

2 调制器结构选择

在 Σ - Δ 调制器结构选择时, 需要在过采样率 R 、调制器的阶数 n 、量化器的分辨位数 B 等参数中进

行折中来获得所需要的信噪比. 根据上述参数可以得出理论最大信噪比如下^[1-2]:

$$\text{SNR}_{\text{Peak}} = \frac{3\pi}{2} \cdot (2^B - 1)^2 \cdot (2n + 1) \cdot \left(\frac{R}{\pi}\right)^{2n+1} \quad (1)$$

由式(1)可知,当采用 1 位量化器,并且过采样率 R 一定时,要到达设计要求的信噪比就必须采用高阶(n 较大)结构. 然而,在高阶 1 位调制器存在稳定性问题,这会限制输入信号的范围从而降低了最大信噪比^[1].

多级噪声整形级联^[2](Multi-stage Noise Shaping, MASH) 结构通过级联低阶结构能够轻易地克服高阶结构的不稳定问题. 但是由于级联的各级间存在不匹配,级联结构会出现噪声泄漏(Noise Leakage),造成输出端噪声增加,进而降低了调制器的精度.

相比于以上两种结构,采用多位量化器的 $\Sigma\text{-}\Delta$ 调制器具有如下优势^[3-4]: ① 在低采样率的情况下,通过在调制器内部使用多位量化器来提高信噪比,信噪比有 6 dB/bit 的增长;② 额外的量化电平允许更大的输入信号幅度并消除空闲音(Idle Tone)信号;③ 多位量化器对于提升 $\Sigma\text{-}\Delta$ 调制器的动态范围和系统稳定性都影响巨大. 由于多位量化器的输出需要多位 DAC 作为反馈电路,而从输入端引入的多位 DAC 的非线性会造成谐波失真,从而限制了整个调制器的线性度. 因此,为了克服 DAC 的非线性,在 $\Sigma\text{-}\Delta$ 调制器设计中通常采用动态元件匹配(Dynamic Element Matching, DEM) 技术来改善多位调制器的性能.

通过以上分析,本文采用稳定的二阶单环结构,过采样率为 64,为了获得更高的精度,选择内部量化器位数为 2 位. 通过式(1) 计算可知最大信噪比可达 88.7 dB. 调制器的结构如图 1 所示,该调制器的二阶拓扑结构的传递函数如下^[5]:

$$Y = X + (1 - z^{-1})^2 \cdot E \quad (2)$$

$$U_1 = -(1 - z^{-1})^2 \cdot E \quad (3)$$

$$V_1 = -z^{-1}(1 - z^{-1}) \cdot E \quad (4)$$

$$V_2 = -z^{-2} \cdot E \quad (5)$$

$$W_1 = X + z^{-1}(z^{-1} - 2) \cdot E \quad (6)$$

对比图 1 中的两种结构,本设计采用的结构在传统二阶单环结构上增加了一条由信号输入端到求和端的前馈通路,这不仅使得积分器只对噪声进行处理并且还降低了积分器的设计要求,该结构的另一个优势在于反馈回路只需要一路 DAC 进行反馈,

对于多位量化器而言,这大大降低了电路设计的复杂度和芯片的面积. 从传递函数可知,输出 Y 由不延迟的 X 和经过二阶噪声整形的量化误差 E 组成. 两级积分器的输入输出 U_1 、 V_1 和 V_2 都独立于调制器的输入信号 X ,这种独立性相比于传统的二阶 $\Sigma\text{-}\Delta$ 调制器有诸多优势:

(1) 对于 U_1 和 V_1 的输入信号范围能够通过使用多位量化大为降低;

(2) 由于 V_1 与信号 X 无关,使得输入信号可以是更大的满幅值输入范围,由此可以进一步降低噪声,提高信噪比;

(3) 因为积分器只处理量化噪声,运放的直流增益和建立时间等要求被进一步放宽. 这将显著提升调制器的性能并节省功耗.

图 1 中的量化器是 2 bit 量化器,反馈回路的是 2 bit DAC,因此采用 DWA 算法来降低多位 DAC 非线性因素的影响.

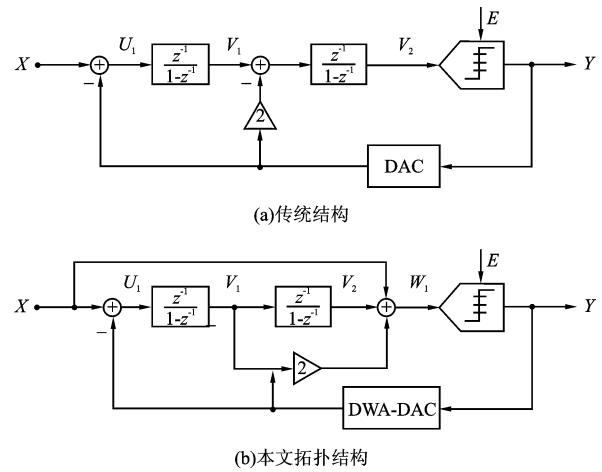


图 1 二阶 2 位量化的 $\Sigma\text{-}\Delta$ 调制器拓扑结构

3 调制器的电路设计

3.1 $\Sigma\text{-}\Delta$ 调制器电路结构

图 2 所示为 2 阶 $\Sigma\text{-}\Delta$ 调制器的电路结构图,可以看出该结构采用了全差分的开关电容(Switched capacitor, SC) 电路实现,该电路主要包括 2 个开关电容积分器、1 个两位的 ADC、1 个 DWA 逻辑模块用来改善多位 DAC 非线性、1 个开关电容实现的多位 DAC 以及温度计码到二进制码转换的译码器(Decoder). 积分器的开关由两相非重叠时钟控制,其中 ϕ_{1d} 和 ϕ_{2d} 为 ϕ_1 和 ϕ_2 的延迟信号,非重叠时钟的时序如图 3 所示. 在相位 ϕ_1 阶段,输入信号被采样到电容 C_{s1} 和 C_{s2} 上;在相位 ϕ_2 阶段,采样电容上的信号通过积分电容 C_{f1} 和 C_{f2} 将电荷传输到积分

器的输出端,完成一个周期的采样和积分过程.而在 ϕ_1 下降沿与 ϕ_2 上升沿之间的非重叠时间内,量化器的输出被锁存并经过 DWA 逻辑反馈到输入端.

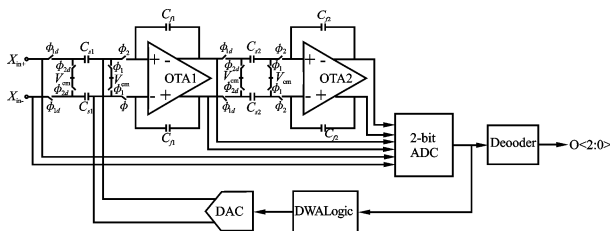


图 2 Σ - Δ 调制器的全差分开关电容电路

在 Σ - Δ 转换器中,影响量化噪声下限值的因素主要是第一级积分器中电源和衬底噪声的低频分量、关键 MOS 晶体管的 $1/f$ 噪声以及放大器和 MOS 开关的热噪声,其中采样开关在通断过程中所引入的热噪声是影响整个系统性能的最根本因素.因为开关存在导通电阻,而导通电阻上的热噪声会通过每次电压采样到电容上而产生一个不确定的 kT/C 的变量值,即 kT/C 噪声.因此,确定采样电容的大小,使其产生的 kT/C 噪声不影响调制器的性能.采样电容 C_s 、过采样率 R 与整个调制器的最大信噪比 SNR_{MAX} 的关系^[5]如下:

$$SNR_{MAX} = \frac{V_s}{4} \cdot \sqrt{\frac{RC_s}{kT}} \quad (7)$$

式中, V_s 为总电源电压, k 为波尔兹曼常数, T 为热力学温度.由于第一级积分器的采样电容所引起 kT/C 噪声没有经过噪声整形,因此第一级积分器和反馈 DAC 回路中需要大电容抑制噪声,经过计算,第一级积分器的采样电容 C_{s1} 取 0.2 pF, DAC 采样电容取 0.4 pF.由于第二级积分器的采样噪声会经过调制器环路的噪声整形,对带内信号的影响大大减小,因此第二级积分器采样电容 C_{s2} 与两级积分电容 C_{f1} 和 C_{f2} 都选择 1 pF.

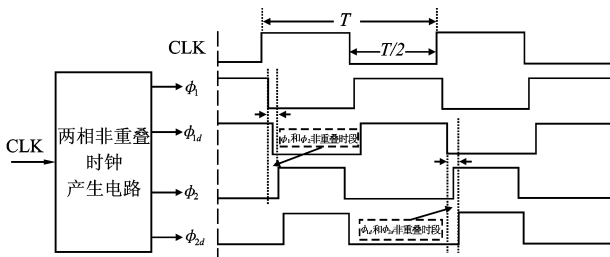


图 3 两相非重叠时钟

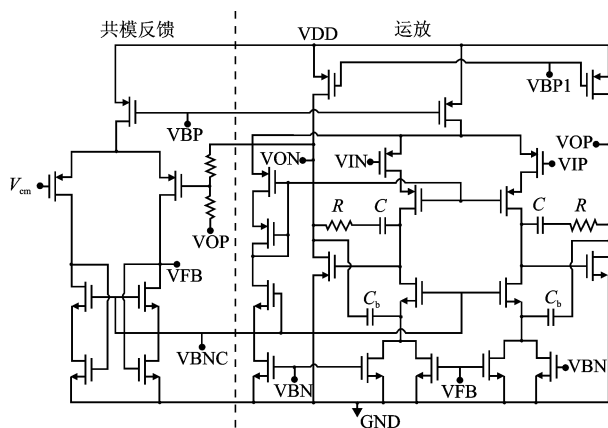
3.2 开关设计

开关电容积分器和多位 DAC 电路中使用的开

关采用 CMOS 开关和单个 NMOS 开关构成.如图 2 中第一级开关电容积分器中受时钟 ϕ_{1d} 和 ϕ_{2d} 控制的开关都采用了 CMOS 开关. CMOS 开关等效导通电阻比单个 NMOS 管构成的 NMOS 开关的导通电阻小,因此使用 CMOS 开关减小了开关热噪声的影响.对调制器的性能影响较小的开关位置,则采用单个 NMOS 开关实现.而反馈 DAC 和量化器前端求和位置的开关也都使用了导通电阻更小的 CMOS 开关,以降低开关热噪声及电荷注入等效应对电路的影响.

3.3 放大器设计

开关电容积分器是 Σ - Δ 调制器的主要组成部分,其性能参数决定了整个调制器的性能好坏.开关电容积分器中的运算放大器作为实现积分器功能的核心模块,其设计至关重要.该调制器第一级积分器中的放大器采用了带共模反馈的两级折叠式共源共栅结构,共模反馈电路用来稳定输出端的共模电平,提供稳定的直流工作点,从而提高电路的稳定性.电路结构如图 4 所示,图 4 左边部分为带电阻检测的共模反馈电路,图 4 右边部分为核心运放电路,偏置电路未画出.



注: V_{cm} 为共模电压, VFB 为输出反馈共模电平, VIN 和 VIP 为差分输入信号, VON 和 VOP 为差分输出信号, VBP 、 $VBP1$ 、 VBN 、 $VBN1$ 为偏置电压

图 4 带共模反馈的差分放大器电路

放大器的性能指标主要有直流增益、增益带宽、相位裕度、增益裕度、压摆率、输出电压摆幅等.放大器的性能参数仿真结果如表 1 所示,仿真负载电容 10 pF.输出信号中的放大器与第一级相同,所以这里只列出第一级放大器的前仿真及后仿真结果.从结果可以看出,前后仿真各项参数基本一致,并且各项参数也都满足积分器的需求,所以运放引入的误差对于调制器的整体影响可以忽略.

表 1 放大器的性能参数

性能参数	前仿真结果	后仿真结果
直流增益/dB	106	105
单位增益带/MHz	88	84
相位裕度/($^{\circ}$)	60	55.2
增益裕度/dB	10.5	11.4
压摆率/(V/ μs)	34	31
输出电压摆幅/V	± 5.18	± 5.16

3.4 量化器的设计

2 位量化器的电路结构如图 5(a) 所示,由 4 个 1 位 ADC 构成,单个 ADC 电路的简化单端结构^[6-7]如图 5(b) 所示.该量化器采用 Mid-tread 量化方式,通过开关电容阵列实现输入信号 X 、两倍第一级积分器输出信号 $2V_1$ 、第二级积分器输出信号 V_2 与参考电压 V_{ref} 相减,形成信号 $X + 2V_1 + V_2 - V_{\text{ref}}$ 并在比较器中进行比较,然后由锁存器锁存输出结果.比较器锁存输出结果构成 4 位温度计码,温度计码通过译码器转化为 3 位二进制码输出到调制器外.其中, $V_{\text{ref}0} \sim V_{\text{ref}3}$ 是基准电压源产生的比较参考电压; X 是调制器差分输入信号; V_1 是第一级积分器差分输出; V_2 是第二级积分器差分输出; Q 为比较器的输出结果.时钟 ϕ_{Latch} 作为比机器输出的锁存时钟信号,在上升沿触发锁存输出.

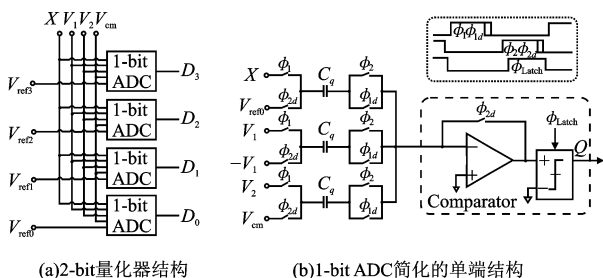


图 5 2-bit 量化器结构与 1-bit ADC 简化的单端结构

在多位量化器中,比较器是核心电路模块.为了减小比较器的输入失调电压等非理想因素的影响,采用了预放大锁存比较器.比较器的电路结构如图 6 所示,该结构包含 1 个两级差分的预放大器、1 个再生级和 1 个 SR 锁存器.

比较器的性能指标主要有失调电压、分辨率和传播延时.预放大锁存比较器的失调电压主要来源于预放大器,这是因为其锁存比较器的失调电压除以预放大器的增益后折算到输入端,幅值降低,并且预放大器的失调电压主要是输入对管不匹配造成的^[9].因此,比较器的失调电压可以通过改变输入对管的尺寸比例模拟失调输入来进行仿真分析.对该

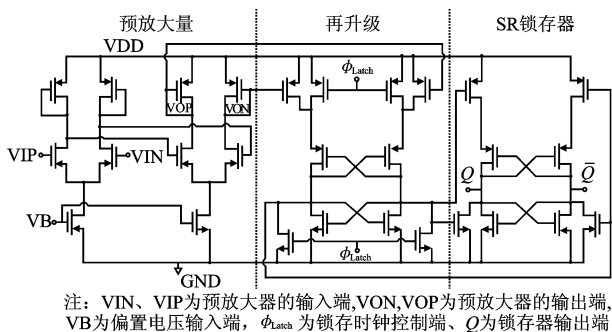


图 6 预放大锁存比较器

电路在 Cadence 中进行前后仿真分析,得到结果如表 2 所示,失调电压是在输入对管 W/L 相差 1% 的情况下仿真得出,其他参数都以正常的器件尺寸进行仿真.从仿真结果可以看出该比较器满足音频 $\Sigma\text{-}\Delta$ 调制器的设计要求.

表 2 比较器的性能指标

性能参数	前仿真结果	后仿真结果
失调电压/ μV	1.23	60.89
分辨率/mV	0.1	1
传播延时/ns	89	159

4 DWA 算法实现

前文提到,在低采样率和低阶环路结构的条件下,想要获得高分辨率的 $\Sigma\text{-}\Delta$ 调制器通常都会采用多位量化器.然而此类多位量化 $\Sigma\text{-}\Delta$ 调制器的缺点是对内部电容阵列失配造成的多位 DAC 的非线性误差非常敏感.而多位 DAC 的非线性误差导致的噪声是通过反馈回路直接叠加在输入信号上,因此并不受调制器噪声整形的作用,所以必须采取动态元件匹配 (DEM) 技术,来减少多位 DAC 的非线性误差.在 DEM 诸多算法中,DWA 是一种简单有效的方法,其工作原理是通过循环选择单位 DAC 将非线性误差所引入的噪声和失真进行一阶或二阶整形,并将其推至更高的频带^[8-9].

本次设计的 DWA 模块如图 7 所示,由温度计码-二进制码译码器、3 位全加器、循环对数移位器以及寄存器组成^[10].由于采用了对数移位器,大大减少了开关的数量.移位器的指针是由全加器直接产生,避免了使用筒形移位器时的编码操作,提高了 DWA 算法的速度并降低了功耗.

由图 7 可以看出,整个 DWA 算法电路的输入来自调制器的 4 位比较器的输出,经过译码器将温度计码转换为 3 位二进制码送入下一级的 3 位全加

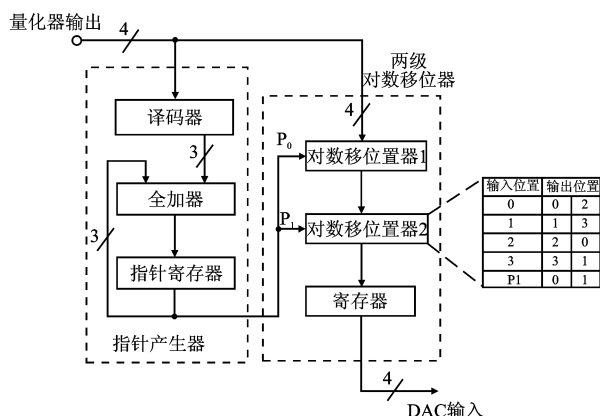


图7 DWA 算法电路结构框图

器,与前一周期的输出进行相加,得到指针信号 P_0 和 P_1 ,作为循环对数移位器的移位控制信号.而另外一路信号进入两级的对数移位器,根据指针信号选择不同的开关进行输出,输出的 4 位信号作为控制反馈 DAC 开关电容的选择信号.图 7 中的对数移位器 2 的输入输出信号随指针信号变换规律如表格所示.通过 Simulink 对二阶单环两位量化器的 $\Sigma\Delta$ 调制器带 DWA 算法电路的行为级模型进行了仿真分析,在电容随机失配为 5% 的情况下,采用 DWA 算法和不采用 DWA 算法得到的调制器信噪比 SNR 与输入电平关系如图 8 所示.从图中可以看出,使用 DWA 算法可以明显地减少多位 DAC 失配引起的非线性误差,从而提高调制器的精度.

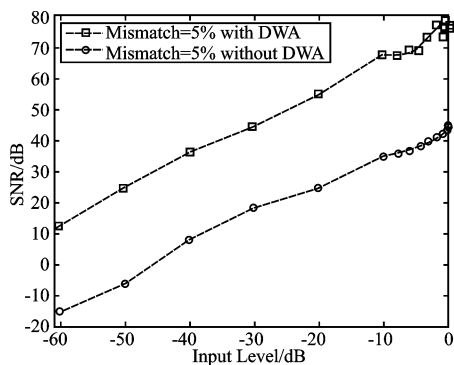


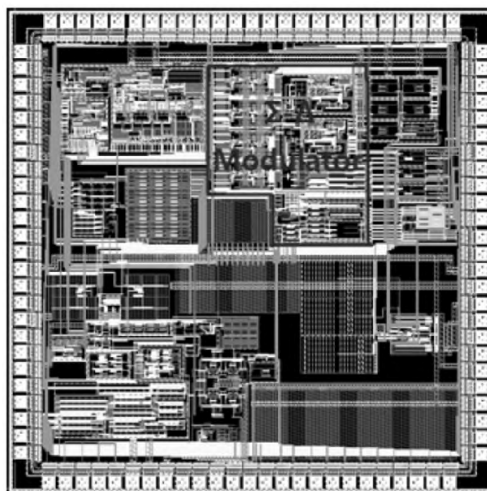
图8 打开 DWA 和关闭 DWA 的 Simulink 仿真结果

5 版图及实验结果

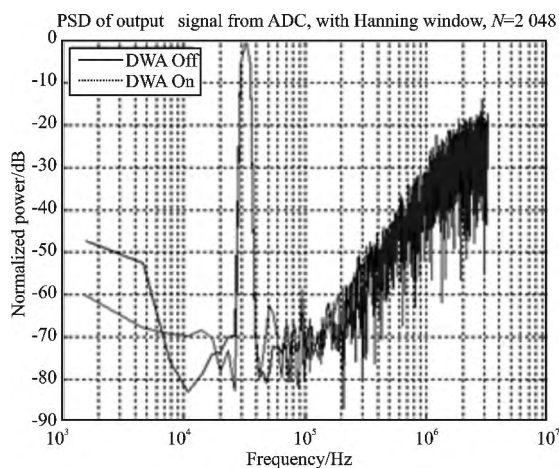
本文的 $\Sigma\Delta$ 调制器采用 MXIC 0.35 μm 2P3M 混合信号 CMOS 工艺实现.在版图设计时,为了保证差分放大器精确匹配,输入差分对使用了四方交叉以达到高匹配精度.对于模拟部分和数字部分在版图的布局时则尽量分开,并对基准电压源、积分器和量化器电路等模拟电路通过使用 Guard-Ring 进

行隔离,同时将非重叠时钟电路等噪声较大的数字电路远离输入信号和调制器电路.所有的模块版图设计都尽量保证对称和平衡^[11].

$\Sigma\Delta$ 调制器版图如图 9 所示,整个调制器面积为 0.6 mm^2 .

图9 $\Sigma\Delta$ 调制器的电路版图

在给调制器输入幅值为 4 V、频率为 31.25 kHz 的差分正弦信号,并在电容失配为 5% 情况下,采用 Calibre 中 PEX 对寄生参数进行提取,对电路进行后仿真,将输出结果通过 Matlab 中进行频谱分析.后仿真结果显示,在电容失配为 5% 的情况下,调制器可以达到 55.8 dB 的 SNR 和 60.4 dB 的 SFDR. DWA 算法电路关闭和开启时的频谱如图 10 所示,主要性能参数对比如表 3 所示.

图10 $\Sigma\Delta$ 调制器电容失配 5% 的输出频谱

从图 10 和表 3 中可以看出, DWA 算法电路作用明显,对电容失配造成的非线性误差能够起到很好的抑制作用,对比打开 DWA 和关闭 DWA 电路

的仿真结果,SNR 有 8 dB 的提高,SFDR 有 13 dB 的提高. 本文设计的调制器性能参考总结于表 4 中.

表 3 后仿真性能参数对比 dB

仿真参数	DWA ON	DWA OFF
SNR	55.8	47
SNDR	54.3	46.8
THD	-58	-59.6
SFDR	60.4	47.3

表 4 调制器性能参考

参数	数值
电源电压	12 V
信号带宽	50 kHz
过采样率	64
采样频率	6.4 MHz
信噪比	55.8 dB
有效位数	8.97 bit
面积	0.6 mm ²
工艺	MXIC 0.35 μm 2P3M

6 结束语

采用 MXIC 0.35 μm CMOS 混合信号工艺实现了一个二阶多位量化结构的 $\Sigma\text{-}\Delta$ 调制器. 该调整器采用 2 位量化器提高调制器的精度,其中 DWA 技术对于改善多位 DAC 的非线性误差作用明显. 电路后仿真结果表明,在 5% 电容失配情况下,打开 DWA 电路比关闭 DWA 电路的情况下,SNR 和 SFDR 分别提高 8 dB 和 13 dB. 并且该调制器占用芯片面积只有 0.6 mm²,满足实现低成本的音频应用的设计要求.

参考文献:

[1] Norsworthy S R,Schreier R,Temes G C. Delta-sigma data converters: theory, design, and simulations [M]. New Jersey:IEEE Press,1997.

[2] Schreier R,TEMES G C. Understanding delta-sig-

ma data converters [M]. New Jersey: IEEE Press,2005.

[3] 景新幸,包远鑫,胡胜. 一种低功耗 16bit 音频 Sigma-Delta 调制器的设计[J]. 微电子学与计算机,2013(9): 115-118.

[4] Baird R T, Fiez T S. Linearity enhancement of multi-bit $\Delta\Sigma$ A/D and D/A converters using data weighted averaging[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 1995, 42(12): 753-762.

[5] Sivva J, Moou U, Steensgaard J, et al. Wideband low-distortion delta-sigma ADC topology[J]. Electronics Letters, 2001, 37(12):737-738.

[6] Hauser M W,Broderson R W. Circuit and technology considerations for MOS delta-sigma A/D converters [C]// IEEE International Symposium on Circuits and Systems. San Jose,USA:IEEE,1986:1310-1315.

[7] Nam K Y,Lee S M,Su D K,et al. A low-voltage low-power sigma-delta modulator for broadband analog-to-digital conversion[J]. IEEE J Sol Sta Circ, 2005, 40 (9):1855-1864.

[8] Miller M R,Petrie C S. A multibit sigma-delta ADC for multimode receivers[J]. IEEE J Sol Sta Circ,2003, 38(3):475-482.

[9] 林建鹏,李开航. 高阶级联多位 $\Sigma\text{-}\Delta$ 调制器 Simulink 仿真设计[J]. 现代电子技术,2012,35(18):142-145.

[10] SHEN W. Low-power double-sampled delta-sigma modulator for broadband applications[J]. IEEE Journal of Solid-Statecircuits,2010,40(9):1855-1865.

[11] 石立春,杨银堂,李迪. 一种高性能多位量化 $\Sigma\text{-}\Delta$ 调制器的设计[J]. 微电子学,2012,42(3):306-310.

作者简介:

徐思龙 男,(1989-),硕士研究生. 研究方向为数模混合专用集成电路设计与系统集成. E-mail:xs108hy@126.com.

李宗伟 男,(1987-),博士研究生. 研究方向为 MEMS 传感器及系统设计和仿真.

丛 宁 女,(1987-),博士研究生. 研究方向为数模混合专用集成电路设计与系统集成.